

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216309

(43)Date of publication of application : 05.08.1994

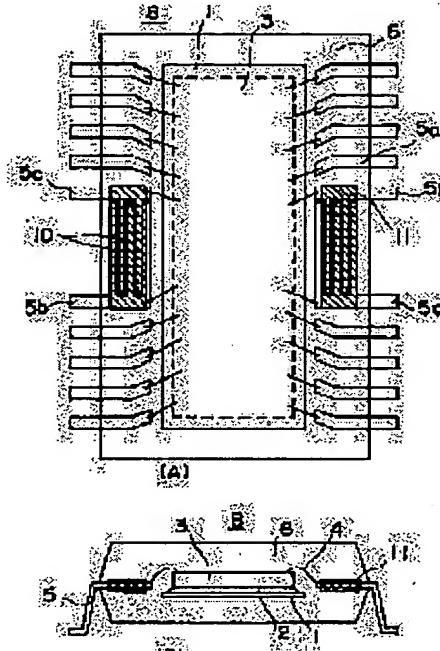
(51)Int.CI. H01L 23/50
H01G 4/40

(21)Application number : 05-005181 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 14.01.1993 (72)Inventor : TERUI MAKOTO
TAKAHASHI YOSHIKAZU
OSUMI TAKUJI**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

PURPOSE: To provide a semiconductor device which can curtail the mounting area of a substrate, by forming a decoupling capacitor for absorbing electric noise on a lead frame thereby obviating the necessity of building a chip capacitor in a semiconductor device and mounting it to a substrate.

CONSTITUTION: The inner terminals made on the surface of a semiconductor chip 3 are connected to the inner lead parts of the leads 5 arranged at the periphery of a die pad part 1 through bonding wires. Though the leads 5 are classified roughly into leads 5a for signals, leads 5b for power, and leads 5c for grounding, the leads 5b for power and the leads 5c for grounding are installed next to each other at the centers, and projections 10 are put out alternately from each lead, and they are combined with each other, thus they are put in comb-toothed structures. A decoupling capacitor is made by sealing this comb-toothed section by the printing, potting, or annealing by the use of a high-permittivity material 11 such as low melting point glass, titanic acid barium, or the like.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216309 ✓

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵ H 01 L 23/50 H 01 G 4/40	識別記号 X 9272-4M U 9272-4M Z 9272-4M 9174-5E	序内整理番号 F I	技術表示箇所
---	--	---------------	--------

審査請求 未請求 請求項の数 6 O.L. (全 4 頁)

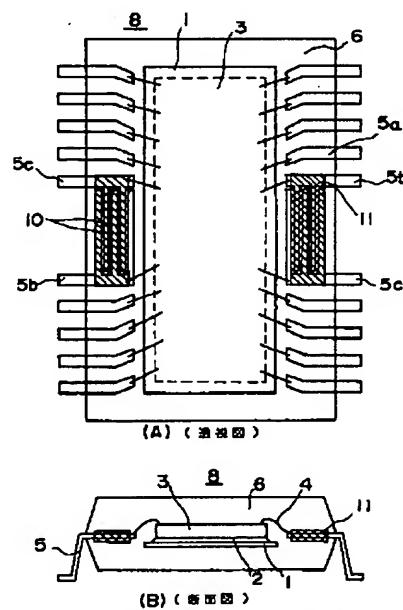
(21)出願番号 特願平5-5181	(71)出願人 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日 平成5年(1993)1月14日	(72)発明者 照井 誠 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(72)発明者 高橋 義和 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(72)発明者 大角 卓史 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 電気的ノイズ吸収のためのデカップリングコンデンサをリードフレーム上に形成することにより半導体装置内部に作り込んで基板へのチップコンデンサの実装を不要として、基板の実装面積を削減することのできる半導体装置を提供すること。

【構成】 半導体チップ3の表面に形成された内部端子はボンディングワイヤを介してダイパット部1の周辺に配設されたリード5のインナーリード部に接続される。リード5は大別して信号用リード5a、電源用リード5b、グランド用リード5cに分類されるが、電源用リード5bとグランド用リード5cとを隣合わせて中央部に設置し、各リードから突起10を交互に出してお互いに組合せ、くし歯状の構造とする。このくし歯状の部分を低融点ガラスやチタン酸バリウム等の高誘電率材料11で印刷、ポッティングまたは焼成により封止しデカップリングコンデンサを作成する。



1 : ダイパット部
2 : マウント剤
3 : 半導体チップ
4 : ボンディングワイヤ
5a: 信号用リード
5b: 電源用リード
5c: グランド用リード
6 : 基盤モールド層
10 : 突起
11 : 高誘電率材料

【特許請求の範囲】

【請求項1】 ダイパット部に固定載置された半導体チップと、前記ダイパット部に一端が隣接し他端が前記ダイパット部から外方に延びる複数のリードを有するリード部と、前記ダイパット部、前記半導体チップ及び前記リード部の一部を封止する樹脂モールド層とを有する半導体装置において、

前記樹脂モールド層内にある少なくとも2本の前記リード間に接続されたデカップリングコンデンサを有する事を特徴とする半導体装置。

【請求項2】 2本の前記リードがそれぞれ電源用リード及びグランド用リードである事を特徴とする請求項1記載の半導体装置。

【請求項3】 2本の前記リードをくし歯状に組合せた事を特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記デカップリングコンデンサの形成部所が前記樹脂モード層内にある前記リード部上である事を特徴とする請求項1記載の半導体装置。

【請求項5】 前記デカップリングコンデンサの形成部所が前記ダイパット部上である事を特徴とする請求項1記載の半導体装置。

【請求項6】 前記デカップリングコンデンサは、前記リード間に充填された高誘電率をもつ材料から成ることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデカップリングコンデンサを必要とする半導体装置に関する。

【0002】

【従来の技術】 図3は従来の半導体装置の構造を示す図で、(A)が上面から見た透視図を、(B)がその断面図を示している。又、図4は図3に示す半導体装置をモジュール等の基板へ実装した際の平面図及び断面図を示したものである。

【0003】 先ず最初に図3を用いて従来の半導体装置の構造を説明する。ダイパット部1上には銀ーエポキシ系接着剤等のマウント剤2を介して半導体チップ3がマウントされている。この半導体チップ3の表面に形成された図示しない内部端子はボンディングワイヤ4を介してダイパット部1の周辺に配設されたリード5に接続されている。そしてダイパット部1、半導体チップ3、ボンディングワイヤ4及びリード5の一部はエポキシ樹脂等の樹脂モード層6で封止されている。またリード5は樹脂モード層6の側壁から外部に延出され下方に折り曲げられている。なお便宜上樹脂モード層6内にあるリード5をインナーリード、樹脂モード層6の外に延出されるリード5をアウターリードとそれぞれ呼ぶことにする。

【0004】 次に図4を用いて図3に示した半導体装置8の基板への実装例を説明する。ガラスエポキシ等の有

機材料又はアルミナ等のセラミック材料からなる多層基板7の表面上には、有機系基板の場合には銅箔が、セラミック系基板の場合にはタンゲステン等の印刷により配線が形成されている。更に、半導体装置8及びチップ部品9を搭載するための端子が設けられている。半導体装置8及びチップ部品9を搭載する際には基板7上の端子に半田ペースト等のペースト剤を印刷し、その上に半導体装置8及びチップ部品9を搭載し、炉や恒温層を用いて加熱硬化して接着する。

【0005】 チップ部品9としては主に半導体装置8のリングングノイズを低減させるためのデカップリングコンデンサが一般的で、1つの半導体装置8について $1\mu F$ 程度のチップコンデンサを搭載するのが一般的である。このチップ部品9は通常半導体装置8の電源用リードとグランド用リードとの間に基板7上の印刷配線により接続される。

【0006】

【発明が解決しようとする課題】 しかし上述した従来の半導体装置では、基板搭載時に1つの半導体装置につき電気的ノイズを吸収するために1個のチップコンデンサが必要となる。従って半導体装置の基板への実装点数が増えた場合、基板の実装面積が増え必然的に基板が大きくなってしまうという問題点があった。

【0007】 本発明は上述した問題点を解消するためになされたもので、電気的ノイズ吸収のためのデカップリングコンデンサをリードフレーム上に形成することにより半導体装置内部に作り込んで基板へのチップコンデンサの実装を不要として、基板の実装面積を削減することができる半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明の半導体装置は樹脂モールド層内にある2本のインナーリード間に高誘電率をもつ材料を充填して2本のリード間にデカップリングコンデンサを形成したものである。

【0009】

【作用】 デカップリングコンデンサを必要とする2本のインナーリード間に高誘電率をもつ材料を充填してデカップリングコンデンサを形成したため、この半導体装置を基板実装した際に基板上にあらためてデカップリングコンデンサを実装する必要がなくなる。これにより基板の実装密度を高めることができる。

【0010】

【実施例】 図1は本発明の一実施例に係る半導体装置の構成を示す図で(A)は上面から見た透視図を、又(B)はその断面図を示したものである。図1に示す実施例ではインナーリード部にデカップリングコンデンサを設けている。

【0011】 ダイパット部1上に銀ーエポキシ系接着剤等のマウント剤2を介して半導体チップ3がマウントされている。この半導体チップ3の表面に形成された内部

端子はボンディングワイヤを介してダイパット部1の周辺に配設されたリード5のインナーリード部に接続される。リード5は大別して信号用リード5a、電源用リード5b、グランド用リード5cに分類されるが、本実施例では図1に示すように電源用リード5bとグランド用リード5cとを隣合わせて中央部に設置し、各リードから突起10を交互に出してお互いに組合せ、くし歯状の構造とする。このくし歯状の部分を低融点ガラスやチタン酸バリウム等の高誘電率材料11で印刷、ポッティングまたは焼成により封止しデカップリングコンデンサを作成する。コンデンサの容量はくし歯構造の突起10の巾や長さ、ピッチ、数、及び充填される高誘電率材料1の誘電率によって決まる。

【0012】そして最後にダイパット部1、半導体チップ3、ボンディングワイヤ4及びインナーリード5がエポキシ樹脂等の樹脂モード層6で封止され、リード5は樹脂モード層6の側壁から外部にアウターリードとして延出され下方に折り曲げられる。

【0013】図2は本発明の他の実施例を示した半導体装置の構成を示す図で、図1に示すものと同一部分には同一符号を付して示してある。本実施例ではダイパット部1にデカップリングコンデンサを構成する場合の構造を示している。この場合ダイパット部1を2分割し一方を電源用リード5bに、他方をグランド用リード5cに接続して図1に示す構造と同じように双方のリードより突起10を交互に出してくし歯構造を形成する。そしてこの部分に前述した高誘電率材料11を印刷又はポッティングにより充填する。このようにして形成されたデカップリングコンデンサ上に半導体チップ3を銀-エポキシ系接着剤等のマウント剤2を介してマウントする。更に半導体チップ3の表面に形成された内部端子はボンディングワイヤ4を介してダイパット部1の周辺に配設されたリード5のインナーリード部に接続される。

【0014】図1に示す実施例と比較した場合、ダイパット部1をデカップリングコンデンサの構成部位として用いる図2の実施例の方がくし歯構造を広い面積で形成することができるため、コンデンサ容量としては大きくな

値が得られる。なお図1及び図2に示す実施例ではデカップリングコンデンサが接続される2つのリードは電源用リードとグランド用リードとであったが本発明はこの2つのリード間にデカップリングコンデンサを形成する場合に限定されることはない。即ち任意の2つのリード間にデカップリングコンデンサを形成する場合についても同様の構造が採用できることは言うまでもない。

【0015】

【発明の効果】以上実施例に基づいて詳細に説明したように、本発明では半導体装置内部の2つのリードを隣接させて、好ましくはくし歯状構造としその間に高誘電率材料を充填してデカップリングコンデンサを2つのリード間に形成したため、半導体装置内にデカップリングコンデンサを内蔵することが可能となる。従って外付けのチップコンデンサが不要となり基板全体としての実装面積を縮小することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる半導体装置の構造を示す透視図及び断面図。

【図2】本発明の他の実施例を示す半導体装置の構造を示す透視図及び断面図。

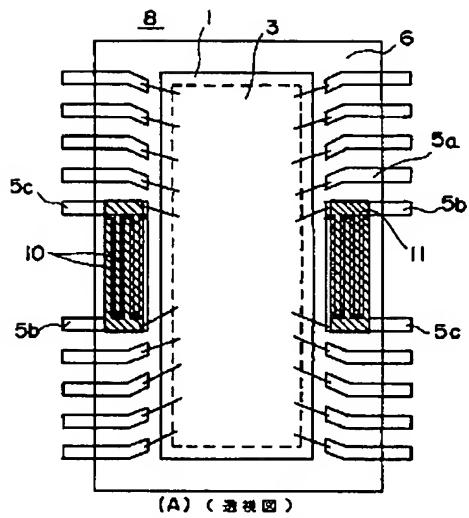
【図3】従来の半導体装置の構造を示す透視図及び断面図。

【図4】図3に示す従来の半導体装置を基板に搭載した場合の状態を示す平面図及び断面図。

【符号の説明】

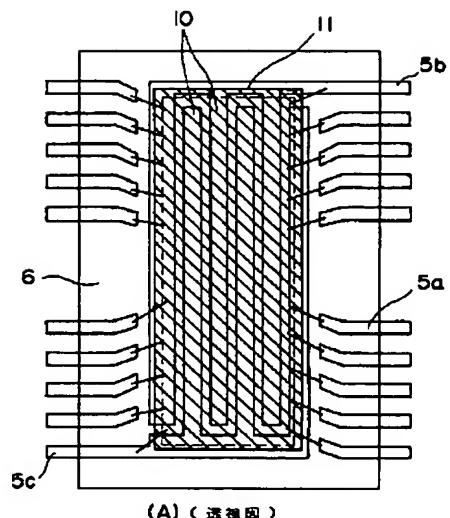
1	ダイパット部
2	マウント剤
3	半導体チップ
4	ボンディングワイヤ
5	リード
5a	信号用リード
5b	電源用リード
5c	グランド用リード
6	樹脂モード層
10	突起
11	高誘電率材料

【図1】



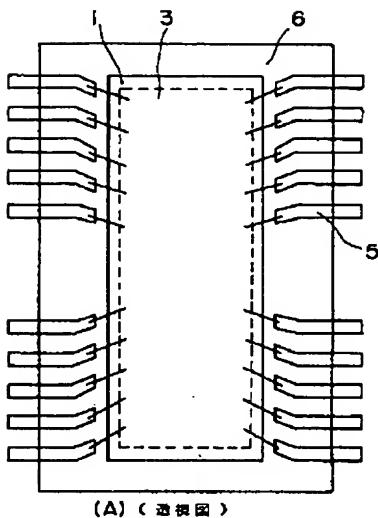
(A) (透視図)

【図2】

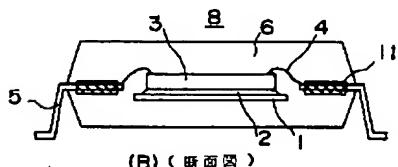


(A) (透視図)

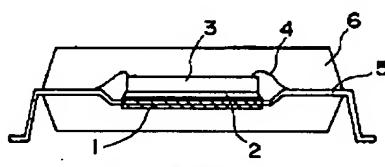
【図3】



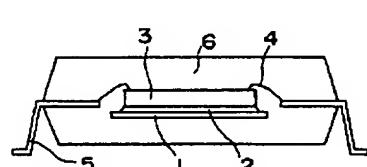
(A) (透視図)



(B) (断面図)



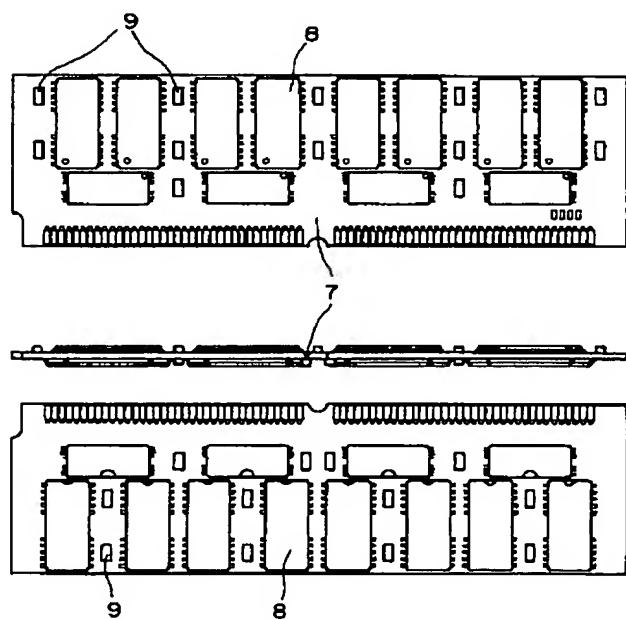
(B) (断面図)



(B) (断面図)

1: ダイバット部
2: マウント剤
3: 半導体チップ
4: ボンディングワイヤ
5a: 信号用リード
5b: 電源用リード
5c: グランド用リード
6: 树脂モールド層
10: 突起
11: 高抵抗率材料

【図4】



7: 基板
8: 半導体基盤
9: チップ部品